

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年1月18日 (18.01.2001)

PCT

(10) 国際公開番号
WO 01/04760 A1

(51) 国際特許分類: G06F 12/08

(21) 国際出願番号: PCT/JP99/03669

(22) 国際出願日: 1999年7月7日 (07.07.1999)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 小倉 真

(KOKURA, Shin) [JP/JP]. 黒沢 恵一 (KUROSAWA, Kenichi) [JP/JP]. 武和秀仁 (TAKEWA, Hidehito) [JP/JP]. 石倉秀司 (ISHIKURA, Shuji) [JP/JP]. 松田光司 (MATSUDA, Koji) [JP/JP]; 〒319-1221 茨城県日立市大みか町五丁目2番1号 株式会社 日立製作所 大みか工場内 Ibaraki (JP).

(74) 代理人: 弁理士 作田康夫 (SAKUTA, Yasuo); 〒100-8220 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo (JP).

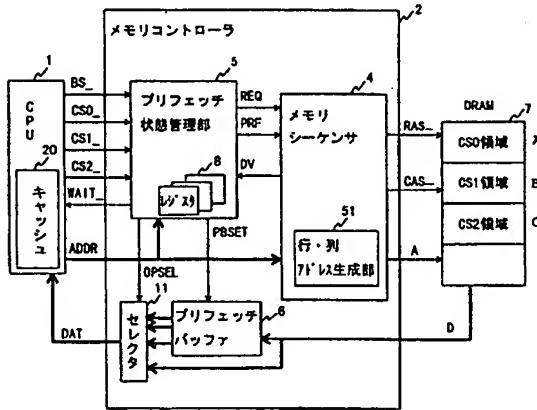
(81) 指定国 (国内): JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(続葉有)

(54) Title: MEMORY CONTROLLER

(54) 発明の名称: メモリ制御装置



2 ... MEMORY CONTROLLER
4 ... MEMORY SEQUENCER
5 ... PREFETCH STATE CONTROL SECTION
6 ... PREFETCH BUFFER
8 ... REGISTER
11 ... SELECTOR
20 ... CACHE
51 ... ROW-COLUMN GENERATING SECTION
A ... CS0 AREA
B ... CS1 AREA
C ... CS2 AREA

(57) Abstract: In data prefetching, there can be a case where previously accessed data becomes useless and the memory efficiency declines. To control data prefetching for an area where data to be accessed sequentially is stored and an area where data is not sequentially accessed, a memory is divided in areas and a register is provided for judging for each area whether data is prefetched or not by a memory controller. A mode register for the area where data to be accessed sequentially is stored is set in a prefetch mode and a mode register for the area where data is not sequentially accessed is set in a non-prefetch mode. Thus, the memory controller prefetches data only in accessing the area where data prefetching is necessary, thereby improving the memory efficiency.

WO 01/04760 A1

(続葉有)



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

データのプリフェッチを行う場合、先行してアクセスしたデータが無駄になり、メモリの効率が低下する場合がある。

連続的にアクセスするデータを格納する領域と連続的にアクセスしない領域毎にプリフェッチを制御するため、メモリを複数の領域に分割し、分割した領域毎にメモリコントローラがプリフェッチを行うか否かを決めるレジスタを設ける。連続的にアクセスするデータを格納する領域のモードレジスタはプリフェッチ動作モードに、連続的にアクセスしない領域のモードレジスタはプリフェッチ非動作モードに設定する。

本発明を適用すると、メモリのプリフェッチが必要な領域へのアクセス時にのみメモリコントローラがプリフェッチを行うため、メモリの効率が向上する。

明細書

メモリ制御装置

技術分野

本発明はデータ処理装置に関し、特にメモリからのプリフェッチを行うメモリ制御装置のプリフェッチ制御に関する。

背景技術

計算機の分野において、一般的なプログラムでは一度アクセスしたデータを再度利用する傾向が高く、また、一度アクセスされたデータの近傍にあるデータも参照される傾向がある。これらの傾向は、局所参照性と呼ばれている。多くの計算機では、この局所参照性を活用し、メモリアクセスの待ち時間を減らす目的で、キャッシュメモリと呼ばれる高速なメモリをCPUとメモリの間に配置している。このキャッシュメモリには最近アクセスしたメモリの写しを持ち、メモリに対してアクセスする代わりにメモリよりアクセスが高速なキャッシュメモリに対してアクセスすることで、メモリアクセスの待ち時間を減らし、処理性能の向上を図っている。

キャッシュメモリを管理するキャッシュコントローラは、CPUが処理するデータサイズのn倍の単位でキャッシュメモリに記憶されている内容が有効、無効を管理している。このキャッシュメモリを管理する単位をキャッシュラインと呼ぶ。32ビットアーキテクチャのCPUの場合、このキャッシュラインは4バイトのn倍となり、通常16, 32, 64, 128バイトといった値となっている。また、キャッシュコントローラが行うメモリからキャッシュメモリへの転送は、管理単位である

キャッシュライン単位で行っている。

一方、メモリには、DRAMやシンクロナスDRAMが使われている。DRAMやシンクロナスDRAMは格子状に記憶素子が構成されており、各記憶素子へは行と列を指定してアクセスを行う。これらのメモリにおいては、同一行内の異なる列に対するアクセス時間は、行を指定してから列を指定するアクセス時間に比べ短い。DRAMの場合、この同一行で異なる列の記憶素子を連続してアクセスする方式をページモードアクセスと呼び、シンクロナスDRAMの場合バーストモードアクセスと呼ぶ。

CPUが処理を行う上で必要な命令やデータがキャッシュメモリ上に存在しない場合をキャッシュミスと呼ぶ。キャッシュミスが発生すると、キャッシュコントローラは、メモリからキャッシュラインサイズ分のデータを連続的に読み出す。この読み出す動作をキャッシュファイル動作と呼ぶ。メモリコントローラは、CPUからメモリへのリードアクセスが発生すると、キャッシュミスが生じキャッシュファイル動作が発生したと仮定し、ページモード、又は、バーストモードでメモリからデータを先行して読み出している。読み出したデータは、メモリコントローラ内のバッファに格納する。この動作をプリフェッチと呼ぶ。

このプリフェッチ動作を制御する技術として、日本国特開平10-55307号に記載の技術が挙げられる。日本国特開平10-55307号では、CPUにおいて、メモリに対する要求が命令に対する要求であるかデータに対する要求であるかを示す制御信号を生成している。この制御信号に従い、メモリからキャッシュメモリにプリフェッチされるデータ量を判断するプリフェッチ論理回路を組み込むことにより、不必要的メモリアクセスを低減し、メモリシステムの効率を向上させている。

また、日本国特開平5-271673号では、キャッシングメモリに一旦プリフェッチされたデータのリプレースを制御することにより、キャッシングを効率的に使用する技術が開示されている。

日本国特開平10-55307号は、命令に対するメモリアクセス（命令フェッチ）とデータに対するメモリアクセス（データフェッチ）の違いにより、メモリからのプリフェッチされるデータ量を変えることでメモリシステムの効率化を図っている。しかし、日本国特開平10-55307号では、命令に対する要求であるかデータに対する要求であるかを示す制御信号によりプリフェッチを制御しているが、計算機が処理するデータには、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッチを行うことが有効なデータと、I/Oや他のCPUとデータを受渡しするためのデータや、処理するデータサイズが小さくプリフェッチを用いると不必要的メモリアクセスが多発するデータなどの、プリフェッチが有効に働くかないデータがある。このようにデータと言っても、プリフェッチを行うと性能が向上する場合のデータと、逆にプリフェッチを行うことにより性能が低下する場合があるため、データアクセスであるからという理由だけで、メモリからプリフェッチするデータ量を決めてしまうと、メモリシステムのアクセス効率を向上させることは難しい。

一方、日本国特開平5-271673号では、キャッシングのエントリ単位にプリフェッチの有無並びにリプレースを制御しているが、予めプリフェッチ要のデータに対応したエントリのアドレスを登録しておく必要があり、またプリフェッチの要・不要も細かく指定する必要があり、メモリからプリフェッチされるデータ量を変更することが難しい。

本発明の課題は、データの使われ方に対応してメモリからプリフェッ

チされるデータ量を変更可能にすることにより、メモリシステムの効率を向上させることである。

発明の開示

メモリのアドレス空間を複数の領域に分割し、更に、分割した領域毎に、メモリコントローラがプリフェッチを行うか否かを決めるモードレジスタをメモリコントローラに設ける。メモリコントローラでは、このモードレジスタに従い、CPUがアクセスするメモリのアドレスが含まれる領域毎にプリフェッチ機能を動作させ、メモリからデータをアクセスする。

処理を行うプログラムにおいては、プリフェッチを行うことが有効なデータを格納する領域のモードレジスタをプリフェッチ動作モードに設定し、プリフェッチを用いると不必要的アクセスが多発するデータを格納する領域のモードレジスタをプリフェッチ非動作モードに設定する。

これにより、連続的にデータを読み出す場合は、プリフェッチ機能を動作させ、先行して連続的にデータを読み出し、単発でアクセスするデータに対しては、プリフェッチを行うことにより生じる不必要的データ読み出しを生じさせないようにプログラムから制御することが可能になり、メモリアクセス効率が向上する。

図面の簡単な説明

第1図は、本発明の実施の形態におけるデータ処理装置の構成を示すブロック図である。

第2図は、プリフェッチ状態管理部の構成を示すブロック図である。

第3図は、本発明の実施の形態における計算機の動作を示すタイミン

グチャートである。

第4図は、状態管理部の状態遷移を示す図である。

第5図は、メモリシーケンサの動作を示す状態遷移図である。

第6図は、モードレジスタを設定する機能を備えた計算機の構成図である。

第7図は、アクセス監視部の構成図である。

第8図は、連続アクセス判定論理の状態遷移を示す図である。

発明を実施するための最良の形態

本発明の実施の形態を図面を用いて以下に説明する。

第1図は、本発明の一実施で、本発明を適応した計算機やプログラマブル・コントローラに代表される、データ処理装置のメモリ制御に関する部分の構成を示すブロック図である。CPU1は、高速アクセス可能なメモリで構成したキャッシュメモリ20を備えている。キャッシュメモリ20には、DRAM7の内容の写しを格納するが、命令とデータの区別はしていないものとする。本実施の形態においては、CPU1は32ビットアーキテクチャであるものとし、アドレスバスADDRと4バイト幅のデータバスDAT、バスの開始を示すバススタート信号BS_、アクセス空間を示す信号で通常複数接続した記憶素子を選択するためのチップセレクト信号CS0_、CS1_、CS2_を計3本備え、また、リードデータが無効の間、CPU1を停止させる手段として、ウェイト信号WAIT_の各端子を備えているものとする。なお、信号名の最後の“_”は、信号がロー・アクティブであることを示している。

メモリであるDRAM7はページモードでアクセス可能なDRAMであり、行アドレスセレクト信号RAS_と列アドレスセレクト信号

C A S _ の動作で、アドレスバス A に出力された行アドレスと列アドレスに対応したリードデータを 4 バイト幅のデータバス D に出力する機能を備えている。メモリコントローラ 2 は、プリフェッч状態管理部 5 , メモリシーケンサ 4 , プリフェッчバッファ 6 , セレクタ 11 で構成されている。

C P U 1 は、処理に必要な命令又はデータがキャッシュメモリ 20 に存在しない場合、メモリコントローラ 2 を介して D R A M 7 からデータを読み出す。この時、バススタート信号 B S _ を 1 サイクルアサートする。バススタート信号 B S _ のアサートと同時に、処理に必要な命令／データが格納されているアドレスをアドレス信号 A D D R に出力する。更にこの時、この命令／データが格納されているメモリのアドレス領域を示すチップセレクト信号 C S 0 _ , C S 1 _ , C S 2 _ の何れか 1 信号をアサートするものとする。バススタート信号 B S _ , チップセレクト信号 C S 0 _ , C S 1 _ , C S 2 _ は、メモリコントローラ 2 のプリフェッч状態管理部 5 に入力される。プリフェッч状態管理部 5 は、チップセレクト信号 C S 0 _ , C S 1 _ , C S 2 _ のそれぞれが対応するアドレス領域に対して、D R A M 7 からデータをプリフェッчするか否かという 2 つのモードを制御するモードレジスタ 8 を備えている。即ち、本実施の形態では、プリフェッчを制御する領域の単位は各チップセレクト空間毎ということになる。

プリフェッч状態管理部 5 はこのモードレジスタ 8 の値に従い、メモリシーケンサ 4 , プリフェッчバッファ 6 , 出力セレクタ 11 を制御する。プリフェッч状態管理部 5 からは、メモリシーケンサ 4 への起動信号 R E Q , 起動信号 R E Q によって要求したメモリアクセスがプリフェッчアクセスであるか否かを示すプリフェッчアクセス信号 P R F が出

力される。またDRAM7からデータバスDに有効なデータを出力していることを示すデータバリッド信号DVが入力される。

メモリシーケンサ4は、プリフェッチ状態管理部5からの起動信号REQとプリフェッチアクセス信号PRFに従い、行アドレスセレクト信号RAS_と列アドレスセレクト信号CAS_を制御して、DRAM7からデータを読み出す制御を行う。このメモリシーケンサ4は、行・列アドレス生成部51を備えている。行・列アドレス生成部51は、CPU1からのアドレスADDRに従い行アドレスと列アドレスを生成し、メモリシーケンサ4が出力する行アドレスセレクト信号RAS_と列アドレスセレクト信号CAS_の制御タイミングと同期してアドレスバスAに行アドレス・列アドレスを出力する。

プリフェッチ状態管理部5は、プリフェッチバッファ6にデータをセットするプリフェッチバッファデータセット信号PBSETと、出力セレクタ11の出力を選択する出力セレクタ選択信号OPSELにより、プリフェッチバッファ6と出力セレクタ11を制御している。プリフェッチバッファ6は、1回のプリフェッチで先読みするデータを格納するため、4段のバッファから構成されている。本実施の形態においては、1回のプリフェッチはキャッシュ20の1エントリに格納されるデータ数であるキャッシュライン分のデータを先読みするものとする。そして1キャッシュラインは、32ビット(4バイト)データ4個分の16バイトであるものとする。従って、プリフェッチバッファの各段には、32ビットデータ1つが格納されることになる。なおこのキャッシュラインのデータサイズはキャッシュの構成によって変わるものであり、本発明においてプリフェッチするデータサイズが16バイトに制限されるものではない。

また、プリフェッヂ状態管理部5は、プリフェッヂバッファデータセット信号PBSETの値に従い、DRAM7がデータバスDに出力したデータを任意の段のバッファにセットする機能を備えている。具体的には、プリフェッヂバッファデータセット信号PBSETが0のとき、DRAM7が出力するデータを1段目のバッファにセットし、信号PBSETが1のとき、DRAM7が出力するデータを2段目のバッファにセットし、信号PBSETが2のとき、3段目のバッファにDRAM7が出力するデータをセットし、信号PBSETが3の場合には、DRAM7が出力するデータを4段目のバッファにセットする。また、全てのバッファに格納されているデータは、すべて出力セレクタ11に出力されている。

出力セレクタ11は、DRAM7が出力するデータとプリフェッヂバッファ6が出力するデータを、出力セレクタ選択信号OPSELの値に従って選択し、プロセッサデータバスDATに出力する。具体的には、信号OPSELが0のとき、プリフェッヂバッファ6の1段目をプロセッサデータバスDATに出力し、信号OPSELが1の時には2段目のバッファ、信号OPSELが2の時は3段目のバッファ、信号OPSELが3のとき、4段目のバッファの値を各々プロセッサデータバスDATに出力する。

CPU1が実行するソフトウェアでは、データが以下の2つに分類されるものとする。1つは、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッヂを行うことが有効なデータと、もう1つは、I/Oとデータを受渡しするためキャッシュメモリが使用できないデータや、処理するデータのサイズが小さいためプリフェッヂを行うと不必要的メモリアクセスが多発するデータであ

る。このような分類は、プログラムを作成する時にプログラム作成者が予め行うものとする。そして、プログラムをコンパイルしリンクする時に、プリフェッチを行うことが有効なデータを格納するDRAM7の領域と、プリフェッチを行うと不必要的アクセスが多発するデータを格納するDRAM7の領域を異なるチップセレクト空間に配置する。また命令は、プリフェッチを行うことが有効なデータを格納する領域に配置する。

プログラムの初期化ルーチンにおいては、プリフェッチが有効なデータを格納する領域を示すチップセレクタ信号に対応したモードレジスタ8をプリフェッチアクセス可能モードに設定し、プリフェッチが不必要的データを格納する領域を示すチップセレクタ信号に対応するモードレジスタ8をプリフェッチアクセス禁止モードに設定する。モードレジスタ8の値の設定手段は特に図示されていないが、ハードウェアによって決まるレジスタ空間内の特定のアドレスに対するCPU1からのアクセスによって行われる。

モードレジスタ8は、チップセレクト空間毎に独立してチップセレクト信号の数だけ独立したレジスタとして、又はレジスタファイルの形で備えてもよいが、本実施の形態においては、チップセレクト空間毎にプリフェッチの可否を識別できればよいので、チップセレクト空間毎に1ビットの状態を記憶できる回路を設けても良いが、以下の説明では、少なくともチップセレクト信号数のビット幅を持った1つのレジスタの1ビット毎にチップセレクト空間を対応させることとして説明を行う。そして、モードレジスタ8の各ビットの値0／1を調べることにより、対応するチップセレクト空間におけるアクセスの際のプリフェッチの可否を判断するものとする。

第2図は、プリフェッチ状態管理部5の構成を示したブロック図である。第2図を用いてプリフェッチ状態管理部の詳細な機能を説明する。プリフェッチ状態管理部5は、状態管理部52、バッファ管理部53、アクセス判定部56、モードレジスタ8、比較器54とアドレスバッファ55から構成される。アクセス判定部56は、CPU1から出力されるチップセレクト信号CS0_、CS1_、CS2_とモードレジスタ8の値を入力とし、プリフェッチ可否判定結果信号JUGを出力する。プリフェッチ可否判定結果信号JUGは、チップセレクト信号CS0_、CS1_、CS2_とそれぞれのチップセレクト信号に対応するモードレジスタ8の設定値の論理積をとり、その結果の論理和をとったものである。プリフェッチ可否判定結果信号JUGは、現在アサートしているチップセレクト信号が示すメモリ領域がプリフェッチ可能に設定しているかプリフェッチ禁止に設定しているかを示し、プリフェッチ可能ならアサート、プリフェッチ禁止ならネゲートとなる信号である。

アドレスバッファ55は、状態管理部52からのアドレスバッファセット信号ABSETがアサートされると、CPU1のアドレスバスADDRの値を保持するバッファである。比較器54は、アドレスバッファ55とCPU1のアドレスバスADDRの値を比較し、アドレスバッファ55の値とCPU1のアドレスバスADDRの値の各々下位4ビットを除く値が一致している場合、比較結果信号HITをアサートし、不一致ならネゲートする。ここで、下位4ビットを除いて値を比較するのは、一度にプリフェッチするデータが16バイトでありアドレスとしては下位4ビットの範囲に相当することから、同じプリフェッチ範囲のアドレスに対してアクセスしているかどうかを判定するために下位4ビットを除いてアドレス比較を行っている。

状態管理部 52 は、CPU1 の出力信号であるバススタート信号 B S _ と、アクセス判定部 56 の判定結果であるプリフェッヂ可否判定結果信号 J U G 及び、メモリシーケンサ4 からのデータバリッド信号 D V を入力として内部状態が遷移する状態遷移ブロックである。状態管理部 52 からは、その内部状態の遷移に従い、起動信号 R E Q とプリフェッヂアクセス信号 P R F とアドレスバッファセット信号 A B S E T とウェイト信号 W A I T _ を出力し、更に、状態管理部 52 の内部状態を状態信号 S T に出力している。

第4図にこの状態管理部 52 の状態遷移図を示す。状態 100 は、第1図のプリフェッヂバッファ6 に格納しているデータが無効であることを示している状態である。状態 101 はプリフェッヂアクセス信号 P R F によりプリフェッヂの開始を指示し、一番最初のデータの準備ができるまでのウェイト状態である。同様に状態 102 は、プリフェッヂを開始し2つ目のデータをウェイトしている状態である。状態 103, 104 も同様にそれぞれ3つ目、4つ目のデータをウェイトしている状態である。本実施の形態では1回のプリフェッヂで4つのデータを先読みするため、各々のデータの準備ができるまで一旦ウェイトする状態が4つあることになる。状態 106 は、プリフェッヂが開始されプリフェッヂバッファ6 に有効なデータが4つ格納されたことを示す状態である。これに対し、状態 105 は、プリフェッヂアクセスを実行せずにCPUが要求しているデータのみをアクセスしていることを示す単発アクセス状態である。従って、起動信号 R E Q は状態 101, 102, 103, 104 及び 105 の時にアサートされ、プリフェッヂアクセス信号 P R F は、状態 101, 102, 103, 104 の時にアサートされ、メモリシーケンサ4 に伝えられる。又、状態 100 から状態 101 へ、状態 100

から状態 105 へ、状態 106 から状態 101 へ、そして状態 106 から状態 105 へと遷移する時、即ちプリフェッチ開始を指示するか単発アクセスを行う際に、アドレスバッファセット信号 A B S E T をアサートし、アドレスバッファ 55 に C P U 1 のアドレスバス A D D R の値を保持させる。

これらはプリフェッチの状態に関する内部状態であるが、これらの内部状態とは別に C P U からの要求状態を示す内部状態として状態 107, 108 がある。状態 107 は、C P U からのアクセス要求が受付可能な状態である。状態 108 は C P U が要求しているデータの準備ができていないため、C P U をデータ待ちにしていることを示す状態である。ウェイト信号 W A I T _ は状態 107 から状態 108 へ遷移する時と状態 108 のときアサートされ、C P U 1 に通知される。

次に、各状態の遷移を説明する。状態管理部 52 の初期状態は、まだ一度も C P U 1 からのアクセス要求がなく、プリフェッチされたデータもなく、いつでも C P U 1 からのアクセス要求を受け付けられる状態にあるため、状態 100 及び状態 107 にある。

まず、プリフェッチに関する状態の遷移としては、状態 100 から状態 101 へ遷移する遷移条件は、バススタート信号 B S _ がアサートであり、かつプリフェッチ可否判定結果信号 J U G がアサートされることである。即ち、C P U 1 からのアクセス要求が発生し、アクセスで指示されたアドレスを含むチップセレクタ空間に対応したモードレジスタ 8 の値がプリフェッチを行う状態を示している場合である。これに対し、状態 100 から状態 105 へ遷移する遷移条件は、バススタート信号 B S _ がアサートであり、かつプリフェッチ可否判定結果信号 J U G がネガートの場合である。状態 101 から状態 102, 状態 102 から状

状態 103, 状態 103 から状態 104, 状態 104 から状態 106, 状態 105 から状態 100 へ遷移する条件は、メモリシーケンサ 4 からのデータバリッド信号 DV がアサートである。即ち、各データ要求に対して出力されるメモリからのデータが有効になった場合である。状態 106 から状態 101 へ遷移する遷移条件は、バススタート信号 BS_ がアサート又は状態 108 であり、かつ、比較結果信号 HIT がネゲート、かつ、プリフェッチ可否判定結果信号 JUG がアサートである。即ち、CPU1 からのアクセスが発生し、アドレスバッファ 55 に格納されているこれまで先読みしていたアドレスの範囲と今度のアクセスのアドレスが重ならず、かつ、今度のアクセスがプリフェッチを行う領域に対するアクセスの場合である。一方、状態 106 から状態 105 へ遷移する遷移条件は、バススタート信号 BS_ がアサート又は状態 108 であり、かつ、プリフェッチ可否判定結果信号 JUG がネゲートの場合である。これは、状態 100 から状態 105 へ遷移する遷移条件と同じで、CPU1 からのアクセスが発生し、かつアクセスがプリフェッチを行わない領域に対するものであった場合である。

次に、状態 107 から状態 108 への遷移条件は、1) バススタート信号 BS_ がアサートでプリフェッチ可否判定結果信号 JUG がネゲートであるか、又は、2) 比較器 54 の比較結果信号 HIT がアサートでプリフェッチ可否判定結果信号 JUG がアサート、かつ状態 101, 102, 103, 104 のいずれかの状態であり、なおかつ CPU1 の ADDR と現在の状態により読み出すデータがプリフェッチバッファ 6 にセットされていないと判定された場合、のいずれかである。CPU1 が読み出すデータがプリフェッチバッファ 6 にセットされているかどうかは、例えば、内部状態が状態 102 であれば、アドレスバッファ 55

の示すアドレスに格納されている値がプリフェッчバッファ6に既にセット済であるかどうかにより判別することができる。また、内部状態が状態102であれば、アドレスバッファ55の示すアドレスとアドレスバッファ55の示すアドレスの次に格納されている値がいずれもプリフェッчバッファ6に既にセット済であるかどうかにより判別することができる。他の状態についても、同様にして判別が可能である。状態108から状態107への遷移条件は、必要なデータがプリフェッчバッファ6にセットしてあるか、又は、状態105でデータバリッド信号DVがアサートである。

バッファ管理部53は、前述の状態管理部52の内部状態を示す状態信号STと、CPU1からのアドレスバスADDRの下位4ビットと、比較器54の比較結果信号HITとを入力とし、プリフェッчバッファ6にデータをセットするプリフェッчバッファセット信号PBSETと出力セレクタ11の出力選択信号OPSELを出力する論理ブロックである。信号OPSELはプリフェッчで先読みする1キャッシュラインのデータ個数に対応して0から3の4つの値を持ち、信号HITがネゲートしている場合0を出力する。また、信号HITがアサートしている場合、アドレスバスADDRの下位4ビットをデコードした結果を出力する。同様に、プリフェッчバッファセット信号PBSETも、0から3の4つの値を持ち、状態信号STの値により、状態管理部52が第4図の状態102である場合は1、状態管理部52が第4図の状態103である場合には2、状態管理部52が第4図の状態104である場合は3、そしてそれ以外の状態の場合には0をアサートする。

第5図は、メモリシーケンサ4の動作を状態遷移図として示したものである。状態110はアイドル状態であり、プリフェッч状態管理部5

からの起動信号 R E Q を待っている状態を示す。状態 111 は、行アドレスアクセス状態を示し、CPU1 からアクセスされたアドレスに対応するDRAM7 の R A S アドレスをアドレスバスA に出力し、行アドレスセレクト信号 R A S _ をアサートする状態である。状態 112 は、1 回目の列アドレスアクセス状態を示し、CPU1 からアクセスされたアドレスに対応するDRAM7 の C A S アドレスをアドレスバスA に出力し、列アドレスセレクト信号 C A S _ をアサートする状態である。状態 113, 114, 115 は、それぞれプリフェッヂにより先行して行う 2 回目, 3 回目, 4 回目の行アドレスアクセス状態を示している。メモリシーケンサ4 の初期状態は状態 110 である。状態 110 から状態 111 への遷移条件は、起動信号 R E Q のアサートである。これにより DRAM7 へのアクセスが開始される。

状態 111, 状態 112, 状態 113, 状態 114, 状態 115 から次の状態に遷移する遷移条件は、DRAM7 のアクセス時間で決定され、DRAM7 のアクセス時間が経過する毎に次の状態に遷移する。特に状態 112 においては、DRAM7 のアクセス時間が経過した時に、プリフェッヂアクセス信号 P R F がアサートしていれば状態 112 から状態 113 へ遷移し、ネゲートであれば状態 112 から状態 110 へ遷移する。即ち、DRAM7 からデータを 1 つアクセスした後、プリフェッヂが指示されていれば、引き続き同じ R A S アドレスの下で先読み対象となるデータの C A S アドレスを出力して、1 キャッシュライン分のデータに対し連続してアクセスすることになる。なお、データバリッド信号 D V は、C A S アドレスが出力され DRAM7 から読み出されたデータが確定して 1 データ分のアクセスが完了する状態 112, 113, 114, 115 から次の状態への遷移の際にアサートされる。

第3図に第1図に示すメモリコントローラ2の動作を示したタイミングチャートを示す。第1図のCPU1及びメモリコントローラ2は、第1図には図示されていないクロック信号CLKに同期して動作するものとし、CPU1のCS0_によって選択されるDRAMチップのアドレス空間に対応する領域（以下、CS0_領域と呼ぶ。他も同様である）は、プリフェッチ禁止モード、CS1_領域はプリフェッチ可能モードに設定しているものとする。

はじめに、CPU1は、CS0_領域のアドレスADDR1にアクセスするものとする。この場合、BS_、CS0_をアサートし、ADDRにはアドレスADDR1を出力する。メモリコントローラ2のプリフェッチ状態管理部5は、ADDR1のデータが準備できるまで、即ちデータバスDAT上でデータが確定するまでWAIT_をアサートする。同時にメモリシーケンサ4にREQをアサートして、アクセスの発生を通知する。この時、CS0_領域は、プリフェッチ禁止モードに設定しているので、プリフェッチアクセス信号PRFはアサートしない。メモリシーケンサ4は、CPU1からアクセスされたアドレスADDR1に対応する行アドレスR1をアドレスバスAに出力し、RAS_をアサートする。次に、ADDR1の列アドレスC1をアドレスバスAに出力し、CAS_をアサートしてDRAM7に対するアクセスアドレスを確定する。このメモリコントローラ2の動作によりDRAM7はADDR1に対応するデータD1をメモリデータバスDに出力する。そこでメモリシーケンサ4はメモリデータバスDにデータD1が出力されたタイミングで、フェッチ状態管理部6にデータバリッド信号DVをアサートする。

プリフェッチ状態管理部5では、データバリッド信号DVがアサートされたことにより、ウエイト信号WAIT_をネゲートし、セレクタ

11はC P U 1のプロセッサデータバスD A Tに、メモリデータバスDに出力されているデータD 1を出力する。

次に、C P U 1がC S 1_領域のアドレスA D D R 5にアクセスするものとする。C S 1_領域はプリフェッチ可能モードに設定しているので、プリフェッチ状態管理部5はP R Fをアサートする。メモリシーケンサ4は、アドレスA D D R 5の対応する行アドレスR 5をアドレスバスAに出力し、R A S_をアサートする。続いて、A D D R 5に対応する列アドレスC 5を出力しC A S_をアサートする。この時P R Fがアサートされているため更に、アドレスバスAにC 6, C 7, C 8と連続に出力し、C A S_も各列アドレスの出力に対応してアサート／ネゲートを同様に繰り返す。ここで、列アドレスC 6は、列アドレスC 5に1加算した値であり、C 7はC 6に1加算、C 8はC 7に1加算したものである。また、行アドレスR 5と列アドレスC 5に対応するデータがD 5であり、行アドレスR 5と列アドレスC 6に対応するデータがD 6であり、行アドレスR 5と列アドレスC 7に対応するデータがD 7であり、行アドレスR 5と列アドレスC 8に対応するデータがD 8である。そして、これらデータD 5～D 8が連続してメモリデータバスDに出力される。

また、C S 1_領域をプリフェッチ可能モードに設定し、このC S 1_領域に格納する命令やデータが、配列や行列演算に用いるデータのように連続的にアクセスする可能性が非常に大きく、プリフェッチを行うことが有効なデータか命令である場合、次に、A D D R 5に続いてA D D R 6に対するアクセスが生じる可能が高い。このA D D R 6の行アドレスはR 5であり、列アドレスはC 6である。つまり、A D D R 6に対応するデータはD 6であり、仮にC P U 1が次にA D D R 6にアクセスすると、

このデータは既にDRAM7から読み出しプリフェッчバッファ6に格納してあるため、CPU1にウエイト信号WAIT_をアサートすることなくプロセッサデータバスにD6を出力することが可能になる。さらに、CS0_領域に対しては、プリフェッч動作を行わないため、メモリデータバスDにD1を出力してからD5を出力するまでの間、DRAM7はアイドル状態になる。つまり、新たに不要なメモリアクセスが生じないため、DRAM7の効率が向上し、システム全体のデータ処理能力が向上する。

以上の説明においては、チップセレクト信号はDRAM7を所定の領域に分割した際に、CPU1からのアクセスがこれら分割した領域のどこに対するアクセスなのかを識別する意味で用いてきたが、チップセレクト信号をその本来の意味で用いて、メモリを構成するDRAMチップ自体を区別するように用いてもよい。この場合、メモリチップ毎にプリフェッчの実行／非実行を制御することになる。これによりメモリ構成に応じたプリフェッчの制御を行うことが可能となる。

第6図は、第1図で説明したモードレジスタ8の設定を実際にアクセスしたアドレスを元に変更を行う機能を備えた実施の形態である。この実施の形態ではプリフェッч状態管理部5の内部に、モードレジスタ8の値を変更するアクセス監視部70を備えている。アクセス監視部70は、チップセレクト信号CS0_、CS1_、CS2_、バススタート信号BS_、そして比較結果信号HITを入力とし、出力としてチップセレクト信号CS0_、CS1_、CS2_に対応するモードレジスタ8の値をそれぞれセットする信号であるSet0、Set1、Set2と、同様にリセットする信号であるRset0、Rset1、Rset2のいずれか1つをアサートする。

第7図はアクセス監視部70の内部の概要を示した図である。アクセス監視部70は、連続アクセス判定論理71とモードレジスタ選択論理72で構成される。第8図は連続アクセス判定論理71の動作を説明するための状態遷移図である。連続アクセス判定論理71の初期状態は、状態910である最初にアクセスが行われる1回目の状態である。次にCPU1からのアクセスが開始されると、前回アクセスしたアドレスと今回アクセスするアドレスとが下位4ビットを除いて一致していることを示しているHIT信号がアサートしていて、なおかつ、前回アクセスしたチップセレクト空間と同一チップセレクト信号がアサートしている場合、即ち最初のアクセスと同じキャッシュラインの範囲で続いてアクセスが行われた場合、状態911である連続2回目アクセス状態へ遷移する。この状態は、同一ブリフェッチ範囲に対して連続して2回のアクセスが行われた状態である。この状態911において、更にCPU1が同一チップセレクト空間にアクセスし、同様に前回アクセスしたアドレスと今回アクセスするアドレスが下位4ビットを除いて一致していることを示すHIT信号がアサートしていると、状態912である連続3回目アクセス状態に遷移する。この状態は即ち連続3回のアクセスが同じブリフェッチ範囲に対して行われた状態である。また連続3回目アクセス状態に遷移する条件が成立しないCPU1のアクセスが生じる初期状態である状態910に遷移する。状態912の連続3回目アクセス状態においても、同様に、CPU1が同一チップセレクト空間にアクセスし、更に、HIT信号がアサートしていると、状態913である連続4回目アクセス状態に遷移し、一方、状態913に遷移しないCPU1のアクセスが生じると状態910に遷移する。

状態913では、CPU1がアクセスを開始すると状態910に遷移

する。しかし状態 913 から状態 910 へ遷移する時、連続アクセス判定論理 71 は、プリフェッチ可能信号 P F O N をアサートする。また、状態 911 又は状態 912 から状態 910 に遷移する時には、連続アクセス判定論理 71 は、プリフェッチ禁止信号 P F O F F をアサートする。即ち、1 キャッシュライン分のデータをアクセスしたとき、そのアクセスの全てが同一プリフェッチ範囲内に対するアクセスであれば、そのアクセスが行われたチップセレクト空間にはプリフェッチが有効なデータが格納されているものと判断して、連続アクセス判定論理 71 はプリフェッチ可能信号 P F O N をアサートするが、そうでなければ、そのチップセレクト空間にはプリフェッチが無効であると判断して、プリフェッチ禁止信号 P F O F F をアサートする。

モードレジスタ選択論理 72 は、前回アクセスしたチップセレクト信号を保持する機能を備え、P F O N 信号がアサートすると、保持しているチップセレクト信号に対応するモードレジスタ 8 のセット信号である Set0, Set1, Set2 のいずれかをアサートする。また P F O F F 信号がアサートすると、保持しているチップセレクト信号に対応するモードレジスタ 8 のリセット信号である Rset0, Rset1, Rset2 のいずれかをアサートする。なお、モードレジスタ 8 はセットされると、プリフェッチアクセス可能モードを示し、リセットするとプリフェッチアクセス禁止モードを示すものとする。この様に、モードレジスタ 8 の設定を実際にアクセスしたアドレスの状態に基づいて変更し、各チップセレクト空間に対してプリフェッチ処理の実行の有無を自動的に設定することができる。

以上の実施の形態ではいずれもメモリに D R A M を用いた場合を説明してきたが、本発明はメモリが D R A M に限定されるものではなく、

SDRAM, PBRAM等、一般的の半導体メモリに代表される記憶素子に適用することができ、その場合の構成も本実施の形態と同様のものとなる。また、上述の実施の形態においてはアクセスを行うデータは同じDRAMに連続して格納されているものとして説明してきたが、メモリはインターリーブ構成を探ることも可能である。この場合は、連続するアドレスを構成するメモリチップ同士のプリフェッチの実行／非実行が一致するようにモードレジスタ8を設定することにより実現できる。

前述の実施の形態では、いずれもプリフェッチの可否を識別するためにCPU1からのチップセレクト信号を用いているが、システムによつては、CPUがアクセスするアドレスの上位ビットによってチップセレクト信号が決まるため、CPU1からプリフェッチ状態管理部5への入力はアドレスバスADDRとバススタート信号BS_だけでもかまわない。この場合アクセス判定部56では、アドレスバスADDRからのアドレスデータを元にチップセレクタ空間を求める処理が必要となる。これにより、CPU1の信号ピンの数を減らすことができる。しかし、アドレスバスADDRに出力されるアドレスデータが静定する時間とアドレスデータからチップセレクタ空間を求めるための処理により遅延が発生してしまう。

また、前述の実施の形態では、プリフェッチを制御する領域の単位がチップセレクト空間と一致していたが、例えばプリフェッチ状態管理部5のモードレジスタ8を、各領域の境界を格納するアドレスレジスタとし、プリフェッチ状態管理部5に入力されるCPU1のアクセスしたアドレスADDRの値をモードレジスタ8に格納された領域境界のアドレスと比較することにより、任意サイズの領域毎にプリフェッチを制御することができる。この場合、メモリを2つの領域に分ける場合はモード

レジスタ8が1つ、メモリを3つの領域に分ける場合はモードレジスタ8が2つと言うように、モードレジスタ8は分割する領域の数-1個必要になり、またそれだけアドレスADDRの値との比較が増えることになるため、アクセス判定部56における処理が複雑になり、またレジスタ数も増えることから回路規模が大きくなってしまう。

本発明においては、プリフェッチを行うことが有効なデータを格納するメモリ領域と、プリフェッチを行うと不必要的アクセスが多発するデータを格納するメモリ領域を、異なるチップセレクト空間に配置しているが、プリフェッチを行うことが有効なデータと、プリフェッチを行うと不必要的アクセスが多発するデータを分類しない場合、以下のようにプログラムを作成する。

まずプログラムの初期化処理の際に、全てのモードレジスタ8をプリフェッチアクセス可能モードに予め設定しておく。その後、処理対象となるデータがプリフェッチを行うと不必要的アクセスが多発するデータである処理を実行する場合、その処理を行う直前に、該当するデータを格納するアドレスを示すチップセレクト信号に対応するモードレジスタ8をプリフェッチアクセス禁止モードに設定する命令を記述しておく。更に、プリフェッチを行うと不必要的アクセスが多発するデータの処理が終了した時、先にプリフェッチアクセス禁止モードにセットしたモードレジスタ8の値をプリフェッチアクセス可能モードに戻す命令をその処理の終わりに記述しておく。これによりプログラムで明示的にプリフェッチを実行するか否かを記述することができる。

なお、以上の実施の形態においては、メモリコントローラ2はCPU1と独立して設けられていたが、メモリコントローラ2内のプリフェッチを制御するメモリシーケンサ4、プリフェッチ状態管理部5、プリフ

エッチバッファ6, セレクタ11は、キャッシュメモリ20と主メモリDRAM7の間にあればよく、キャッシュメモリ20とともにCPU1内に設けててもよい。逆に、キャッシュメモリ20はCPUに対して外付けで設けても良い。

以上説明したように本発明によって、プログラムやデータを格納する領域を分割し、各領域毎にプリフェッチを行うか否かを制御することが可能になる。よって、データアクセスにおいてもプリフェッチ機能を動作させると有効に動作するデータが格納された領域に対するアクセス場合にはプリフェッチ機能を動作させ、プリフェッチアクセス機能を動作させると不必要的データをプリフェッチしてしまいメモリアクセス性能を低下させてしまうデータが格納された領域に対するアクセス場合には、プリフェッチ機能を抑止することにより、メモリアクセスの効率を向上することが可能になる。

産業上の利用可能性

以上のように、本発明にかかるメモリ制御装置は、データアクセスにおいてプリフェッチ機能を制御することにより、効率の良いメモリシステムとして有用であり、データ処理装置のメモリ制御に用いるのに適している。

請求の範囲

1. プロセッサとメモリの間に配置され、プロセッサからメモリへアクセスする際、先読みを行うプリフェッチ手段と、プリフェッチ結果を格納する記憶手段を備えたメモリ制御装置において、

前記メモリ制御装置は、プロセッサからメモリに対するアクセスの際にプリフェッチを行うか否かを決定するプリフェッチ管理手段を備え、

前記メモリのアドレス空間は複数の管理領域に分割され、

前記プリフェッチ管理手段は、前記各管理領域毎にプリフェッチを制御するためのレジスタを備え、

前記プロセッサから前記メモリに対してアクセスが行われた時、アクセスするアドレスが含まれる管理領域に対応する前記レジスタの値に基づき、当該アクセスにおいてプリフェッチを行うか否かを決定することを特徴とするメモリ制御装置。

2. 前記プロセッサは前記メモリの記憶素子を選択する選択信号を出力し、

前記メモリのアドレス空間は、該選択信号に対応して前記管理領域に分割され、

プロセッサからのアクセスにおいては、前記選択信号に基づき前記レジスタの値が決定されることを特徴とする請求の範囲第1項記載のメモリ制御装置。

3. 前記プリフェッチ管理手段は、同一の前記管理領域に対するプロセッサからのアクセスが所定の回数以上行われた場合、当該管理領域に対応するレジスタを当該管理領域に対してプリフェッチを行うように設定する手段を備えたことを特徴とする請求の範囲第1項記載のメモリ制御装置。

4. 前記プロセッサは前記メモリの記憶素子を選択する選択信号を出力し、

前記管理領域は、メモリを構成する記憶素子であり、

プロセッサからのアクセスにおいては、アクセス対象となる記憶素子に基づき前記レジスタの値が決定されることを特徴とする請求の範囲第1項記載のメモリ制御装置。

5. 前記プリフェッチ管理手段は、プロセッサからの所定の回数の連続したアクセスが同一のプリフェッチ範囲に対して行われた場合、当該プリフェッチ範囲を含む管理領域に対応する前記レジスタを当該管理領域に対してプリフェッチを行うように設定する手段を備えたことを特徴とする請求の範囲第1項記載のメモリ制御装置。

6. 演算処理装置とメモリを備えたプログラマブル・コントローラであって、当該演算処理装置から前記メモリへアクセスする際、先読みを行うプリフェッチ手段と、当該プリフェッチ手段によるプリフェッチ結果を格納する記憶手段を備えたプログラマブル・コントローラにおいて、

前記演算処理装置が前記メモリに対するアクセスの際に、前記プリフェッチ手段がプリフェッチを行うか否かを決定するプリフェッチ管理手段を備え、

当該プリフェッチ管理手段は、アドレス空間が複数の管理領域に分割された前記メモリの各管理領域毎にプリフェッチを制御するためのレジスタを備え、アクセスするアドレスが含まれる管理領域に対応する前記レジスタの値に基づき、当該アクセスにおいてプリフェッチを行うか否かを決定すること

を特徴とするプログラマブル・コントローラ。

7. プロセッサからメモリへアクセスする際、先読みを行うプリフェッ

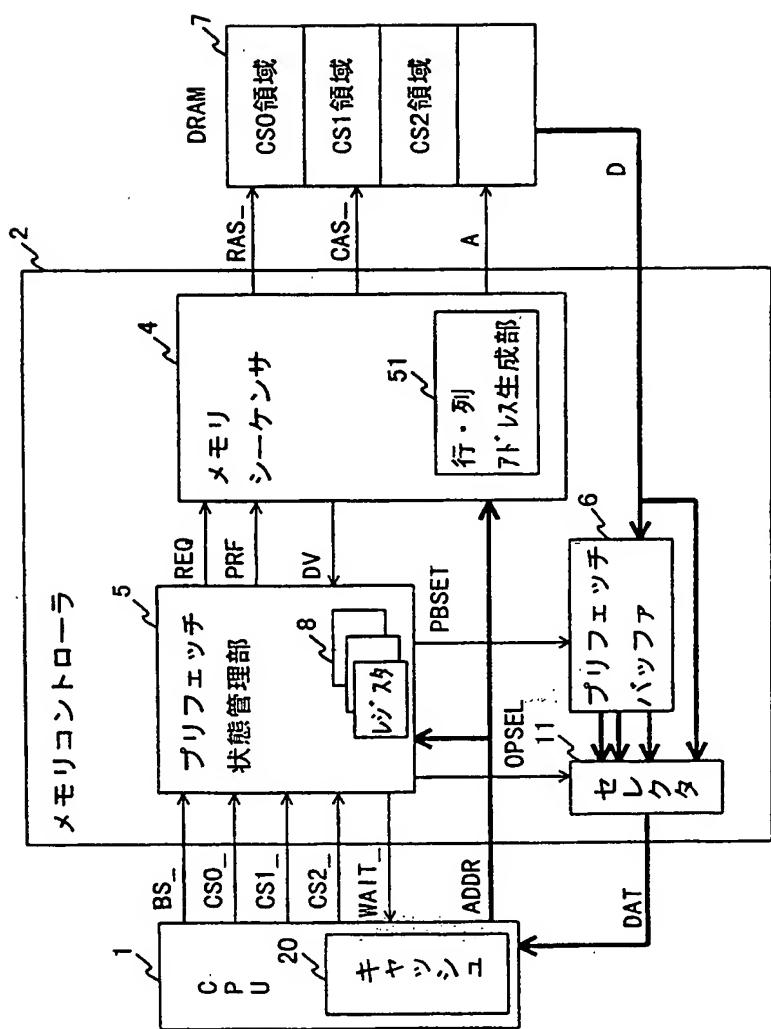
チを行う機能を備えたメモリ制御装置におけるメモリ制御処理であって、以下の処理を備える。

前記プロセッサから前記メモリに対してアクセスが行われる時、複数の管理領域にアドレス空間が分割されている前記メモリの内、当該アクセスが行われる管理領域を求める処理と、前記メモリの管理領域別に、アクセスが行われた回数をカウントする処理と、

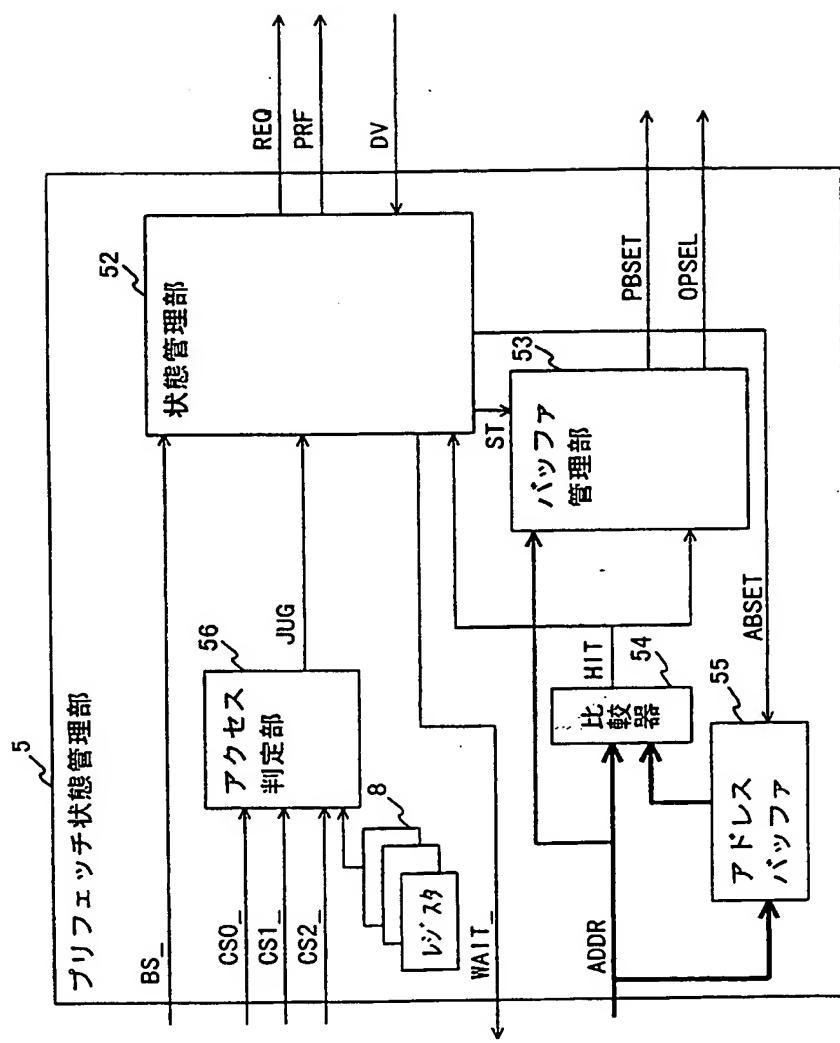
同一の前記管理領域に対するプロセッサからのアクセスが所定の回数以上行われたことを検出する処理と、

所定回数以上のアクセスが行われた当該管理領域に対応するレジスタの値を当該管理領域に対してアクセスが行われた際にはプリフェッチを行うように設定する処理。

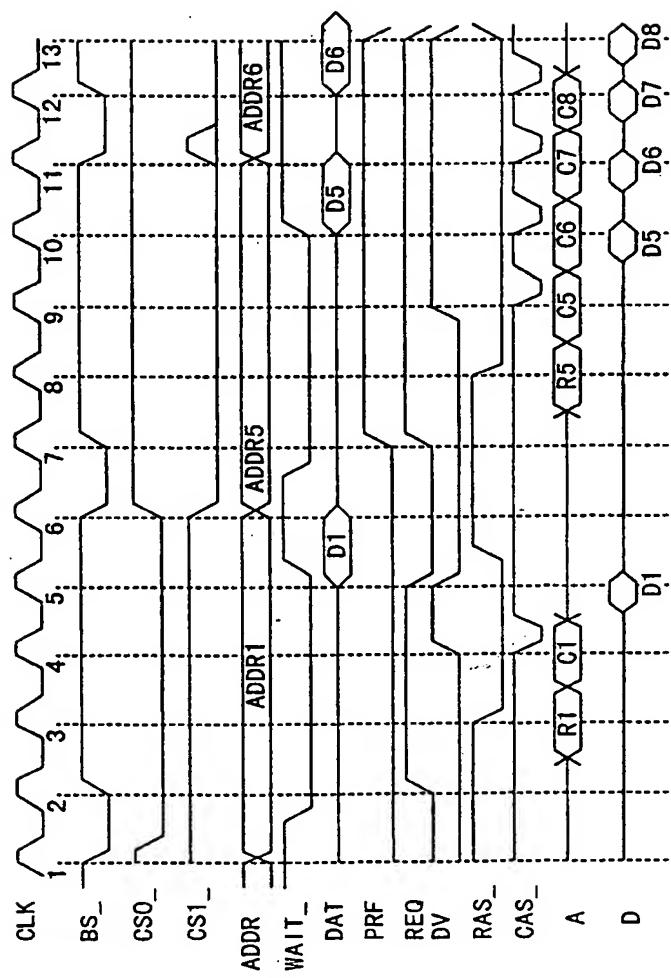
第1図



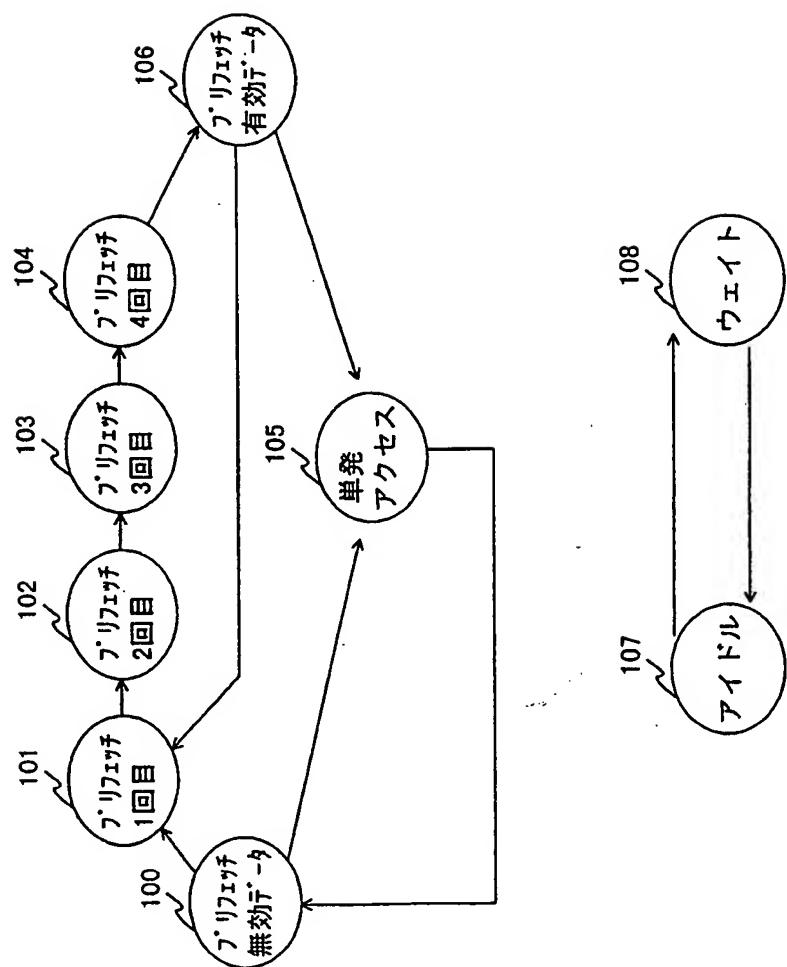
第2図



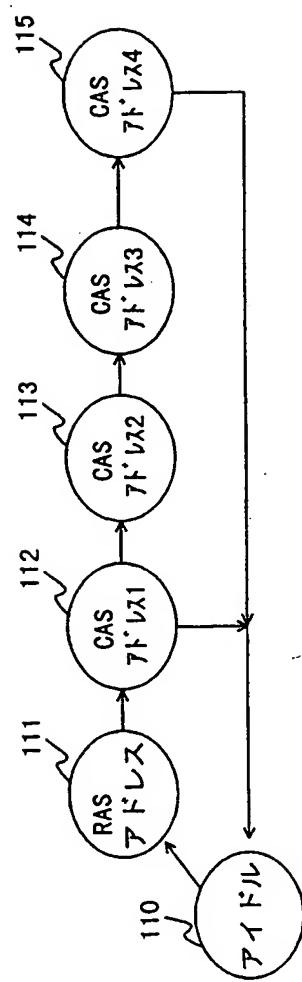
第3図



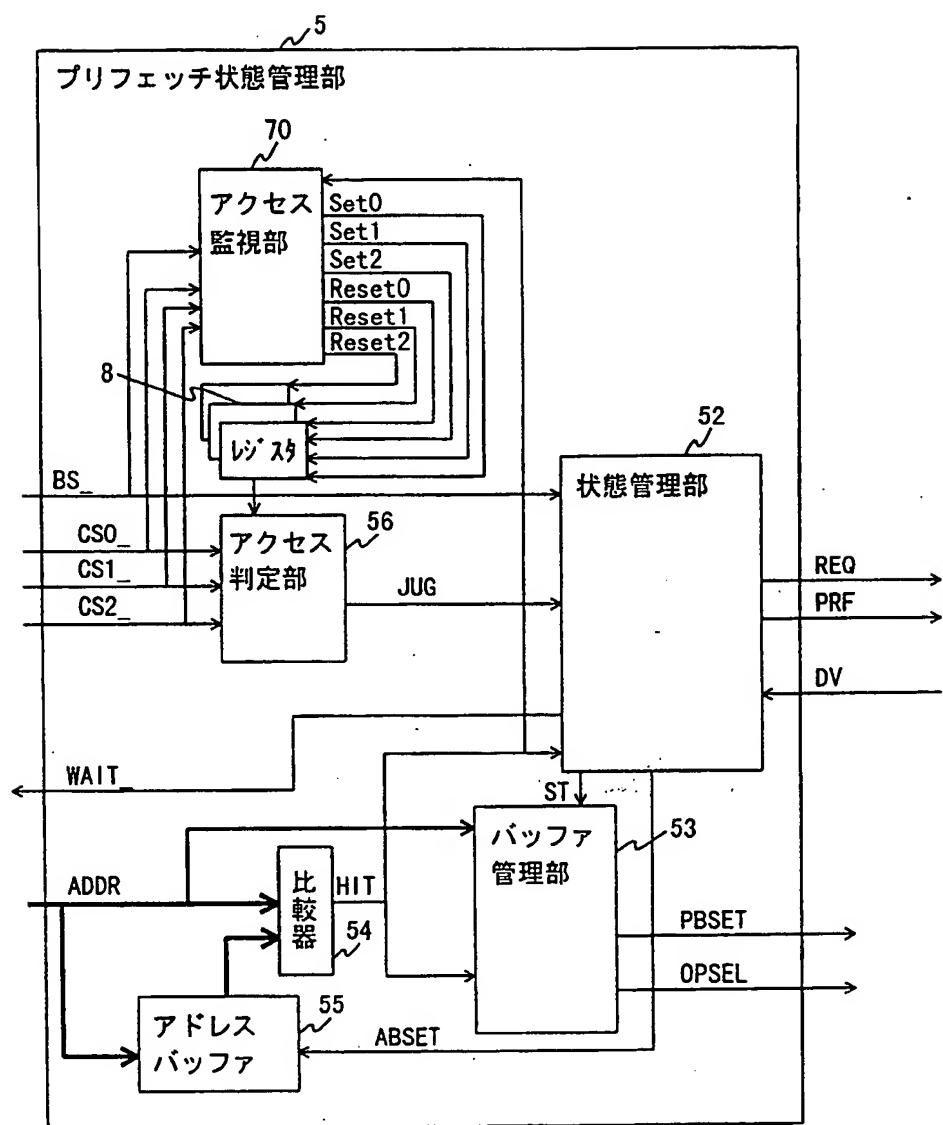
第4図



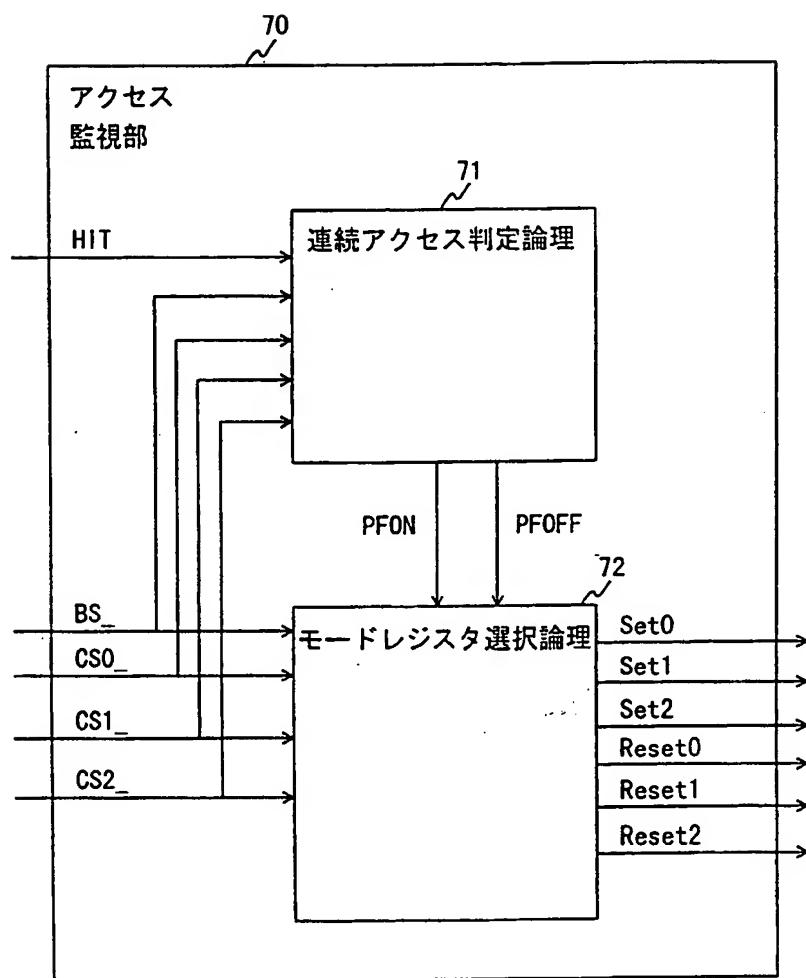
第5図



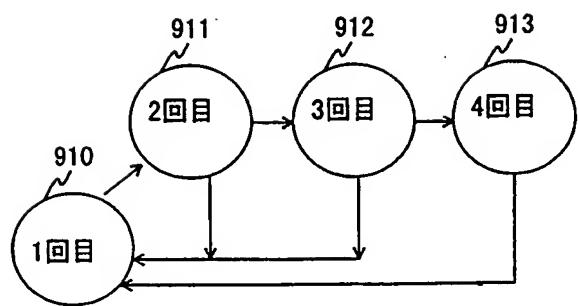
第6図



第7図



第8図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03669

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 6-295263, A (Mitsubishi Electric Corp.), 21 October, 1994 (21. 10. 94) (Family: none)	1, 2, 4, 6
A		3, 5, 7
X	JP, 4-326437, A (Mitsubishi Electric Corp.), 16 November, 1992 (16. 11. 92), Page 2, left column, line 13 to page 3, left column, line 2 ; Fig. 4 (Family: none)	1, 2, 4, 6
A		3, 5, 7
A	JP, 6-28180, A (Hitachi, Ltd.), 4 February, 1994 (04. 02. 94) & US, 5345560, A & DE, 4225228, A1	1-7
A	JP, 4-270431, A (Digital Equipment Corp.), 25 September, 1992 (25. 09. 92) & US, 5261066, A & US, 5317718, A & EP, 449540, A2 & KR, 9311345, B1	1-7
A	JP, 7-210454, A (Sharp Corp.), 11 August, 1995 (11. 08. 95) (Family: none)	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 6 October, 1999 (06. 10. 99)	Date of mailing of the international search report 26 October, 1999 (26. 10. 99)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/03669

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 6-103169, A (NEC Corp.), 15 April, 1994 (15. 04. 94) (Family: none)	3, 5, 7
A	JP, 8-137754, A (Fuji Xerox Co., Ltd.), 31 May, 1996 (31. 05. 96), Page 9, left column, line 2 to right column, line 4 ; Fig. 7 (Family: none)	3, 5, 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl* G06F12/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl* G06F12/08-12/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-1999年
日本国登録実用新案公報	1994-1999年
日本国実用新案登録公報	1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 6-295263, A (三菱電機株式会社) 21. 10月. 1994 (21. 10. 94) (ファミリーなし)	1, 2, 4, 6
A		3, 5, 7
X	JP, 4-326437, A (三菱電機株式会社) 16. 11月. 1992 (16. 11. 92)	1, 2, 4, 6
A	第2頁左欄第13行～第3頁左欄第2行、第4図 (ファミリーなし)	3, 5, 7
A	JP, 6-28180, A (株式会社日立製作所) 4. 2月. 1994 (04. 02. 94) & US, 5345560, A & DE, 4225228, A 1	1-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 6. 10. 99	国際調査報告の発送日 26.10.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 前田 仁 電話番号 03-3581-1101 内線 3585 5N 9643

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP, 4-270431, A (デジタル イクイメント コーポレイション) 25. 9月. 1992 (25. 09. 92) & US, 5261066, A & US, 5317718, A & EP, 449540, A2 & KR, 9311345, B1	1-7
A	JP, 7-210454, A (シャープ株式会社) 11. 8月. 1995 (11. 08. 95) (ファミリなし)	1-7
A	JP, 6-103169, A (日本電気株式会社) 15. 4月. 1994 (15. 04. 94) (ファミリなし)	3, 5, 7
A	JP, 8-137754, A (富士ゼロックス株式会社) 31. 5月. 1996 (31. 05. 96) 第9頁左欄第2行～第9頁右欄第4行, 第7図 (ファミリなし)	3, 5, 7